

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Patent Application of:
CASSAGNES

Serial No. 10/039,233

Confirmation No. 7300

Filing Date: December 31, 2001

For: CIRCUIT FOR THE DECODING OF
BIPHASE SIGNALS

BEST AVAILABLE COPY

COPY OF PAPERS
ORIGINALLY FILED

TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Director, U.S. Patent and Trademark Office
Washington, D.C. 20231

Sir:

Transmitted herewith is a certified copy of the
priority French Application No. 0111074.

Respectfully submitted,

JOHN F. WOODSON, II

Reg. No. 45,236

Allen, Dyer, Doppelt, Milbrath
& Gilchrist, P.A.

255 S. Orange Avenue, Suite 1401

Post Office Box 3791

Orlando, Florida 32802

Telephone: 407/841-2330

Fax: 407/841-2343

Attorney for Applicant

CERTIFICATE OF MAILING

I hereby certify that this correspondence is being
deposited with the United States Postal Service as first class
mail in an envelope addressed to: DIRECTOR, U.S. PATENT AND
TRADEMARK OFFICE, WASHINGTON, D.C. 20231, on this 7th day of
March, 2002.

THIS PAGE BLANK (USPTO)

COPY OF PAPERS
ORIGINALLY FILED01 A1 024
①

BREVET D'INVENTION

CERTIFICAT D'UTILITÉ - CERTIFICAT D'ADDITION

COPIE OFFICIELLE

Le Directeur général de l'Institut national de la propriété industrielle certifie que le document ci-annexé est la copie certifiée conforme d'une demande de titre de propriété industrielle déposée à l'Institut.

Fait à Paris, le 20 DEC. 2001

Pour le Directeur général de l'Institut
national de la propriété industrielle
Le Chef du Département des brevets

Martine PLANCHE

INSTITUT
NATIONAL DE
LA PROPRIÉTÉ
INDUSTRIELLE

SIEGE
26 bis, rue de Saint Petersburg
75800 PARIS cedex 08
Téléphone : 33 (1) 53 04 53 04
Télécopie : 33 (1) 42 93 59 30
www.inpi.fr

THIS PAGE BLANK (USPTO)



26 bis, rue de Saint Pétersbourg
75800 Paris Cedex 08
Téléphone : 01 53 04 53 04 Télécopie : 01 42 94 86 54

BREVET D'INVENTION CERTIFICAT D'UTILITÉ

Code de la propriété intellectuelle - Livre VI



N° 11354*01

REQUÊTE EN DÉLIVRANCE 1/2

Cet imprimé est à remplir lisiblement à l'encre noire

08 540 W / 260899

REMISE DES PIÈCES DATE 24 AOUT 2001 LIEU 54 INPI NANCY N° D'ENREGISTREMENT 0111074 NATIONAL ATTRIBUÉ PAR L'INPI DATE DE DÉPÔT ATTRIBUÉE PAR L'INPI 24 AOUT 2001		1 NOM ET ADRESSE DU DEMANDEUR OU DU MANDATAIRE À QUI LA CORRESPONDANCE DOIT ÊTRE ADRESSÉE ■ CABINET BALLOT 9 rue Claude Chappe Technopôle Metz 2000 57070 METZ ■	
Vos références pour ce dossier (facultatif) 016275			
Confirmation d'un dépôt par télécopie <input type="checkbox"/> N° attribué par l'INPI à la télécopie			
2 NATURE DE LA DEMANDE		Cochez l'une des 4 cases suivantes	
Demande de brevet		<input checked="" type="checkbox"/>	
Demande de certificat d'utilité		<input type="checkbox"/>	
Demande divisionnaire		<input type="checkbox"/>	
<i>Demande de brevet initiale</i> <i>ou demande de certificat d'utilité initiale</i>		N°	Date <input type="text"/> / <input type="text"/> / <input type="text"/>
		N°	Date <input type="text"/> / <input type="text"/> / <input type="text"/>
Transformation d'une demande de brevet européen <i>Demande de brevet initiale</i>		<input type="checkbox"/>	N° <input type="text"/> Date <input type="text"/> / <input type="text"/> / <input type="text"/>
3 TITRE DE L'INVENTION (200 caractères ou espaces maximum) Circuit de décodage de signaux biphasés.			
4 DÉCLARATION DE PRIORITÉ OU REQUÊTE DU BÉNÉFICE DE LA DATE DE DÉPÔT D'UNE DEMANDE ANTÉRIEURE FRANÇAISE		Pays ou organisation Date <input type="text"/> / <input type="text"/> / <input type="text"/> N° Pays ou organisation Date <input type="text"/> / <input type="text"/> / <input type="text"/> N° Pays ou organisation Date <input type="text"/> / <input type="text"/> / <input type="text"/> N° <input type="checkbox"/> S'il y a d'autres priorités, cochez la case et utilisez l'imprimé «Suite»	
5 DEMANDEUR		<input type="checkbox"/> S'il y a d'autres demandeurs, cochez la case et utilisez l'imprimé «Suite»	
Nom ou dénomination sociale		STMICROELECTRONICS S.A.	
Prénoms			
Forme juridique		S.A.	
N° SIREN			
Code APE-NAF			
Adresse	Rue	29 Boulevard Romain Rolland	
	Code postal et ville	92120	MONTRouGE
Pays		FRANCE	
Nationalité		Française	
N° de téléphone (facultatif)			
N° de télécopie (facultatif)			
Adresse électronique (facultatif)			



BREVET D'INVENTION CERTIFICAT D'UTILITÉ

REQUÊTE EN DÉLIVRANCE 2/2

REMISE DES PIÈCES DATE 24 AOUT 2001 LIEU 54 INPI NANCY N° D'ENREGISTREMENT 0111074 NATIONAL ATTRIBUÉ PAR L'INPI		Réservé à l'INPI	
Vos références pour ce dossier : <i>(facultatif)</i>		016275	
6 MANDATAIRE			
Nom		LECLAIRE	
Prénom		Jean-Louis	
Cabinet ou Société		CABINET BALLOT	
N° de pouvoir permanent et/ou de lien contractuel			
Adresse	Rue	9 rue Claude Chappe Technopôle Metz 2000	
	Code postal et ville	57070	METZ
N° de téléphone <i>(facultatif)</i>		03 87 74 81 36	
N° de télécopie <i>(facultatif)</i>		03 87 36 26 76	
Adresse électronique <i>(facultatif)</i>			
7 INVENTEUR (S)			
Les inventeurs sont les demandeurs		<input type="checkbox"/> Oui <input checked="" type="checkbox"/> Non Dans ce cas fournir une désignation d'inventeur(s) séparée	
8 RAPPORT DE RECHERCHE		Uniquement pour une demande de brevet (y compris division et transformation)	
Établissement immédiat ou établissement différé		<input type="checkbox"/> <input checked="" type="checkbox"/>	
Paiement échelonné de la redevance		Paiement en trois versements, uniquement pour les personnes physiques <input type="checkbox"/> Oui <input checked="" type="checkbox"/> Non	
9 RÉDUCTION DU TAUX DES REDEVANCES		Uniquement pour les personnes physiques <input type="checkbox"/> Requête pour la première fois pour cette invention (joindre un avis de non-imposition) <input type="checkbox"/> Requête antérieurement à ce dépôt (joindre une copie de la décision d'admission pour cette invention ou indiquer sa référence) :	
Si vous avez utilisé l'imprimé «Suite», indiquez le nombre de pages jointes			
10 SIGNATURE DU DEMANDEUR OU DU MANDATAIRE (Nom et qualité du signataire) LECLAIRE Jean-Louis 93.4009		VISA DE LA PRÉFECTURE OU DE L'INPI 	

La loi n°78-17 du 6 janvier 1978 relative à l'informatique, aux fichiers et aux libertés s'applique aux réponses faites à ce formulaire. Elle garantit un droit d'accès et de rectification pour les données vous concernant auprès de l'INPI.

CIRCUIT DE DECODAGE DE SIGNAUX BIPHASES

L'invention concerne un circuit de décodage de signaux biphasés et peut être utilisée dans un circuit d'émission ou de réception de tels signaux. L'invention est notamment intéressante pour la réception de signaux selon le protocole de communication DALI (de l'anglais Digital Adressable Lighting Interface), utilisé notamment pour la commande de ballasts électroniques. L'invention peut plus généralement être utilisée pour la réception de tous types de signaux biphasés.

Les ballasts sont des circuits électroniques utilisés pour piloter des lampes fluorescentes, des lampes à mercure ou plus généralement tout type de lampes à décharge. Les ballasts peuvent être commandés par des signaux numériques, par exemple selon le protocole de communication DALI, défini notamment dans une norme IEC du 10 janvier 2000.

Selon le protocole de communication DALI, un signal numérique reçu se présente sous la forme d'une trame comprenant un bit de début, un mot binaire de 16 bits et deux bits de fin, soit une trame de 19 bits. Le mot de 16 bits comprend par exemple une adresse de 8 bits et une instruction de 8 bits. En retour, un signal numérique émis se présente sous la forme d'une trame de 11 bits comprenant un bit de début, une donnée de 8 bits et deux bits de fin.

Selon le protocole de communication DALI, chaque bit d'une trame, reçue ou émise par le circuit de commande, est codé sous la forme d'un signal biphasé c'est-à-dire sous la forme d'un signal prenant 2 états successifs. Un "1" logique est codé sous la forme d'un signal (figure 1, réf. 110a, 110b) qui est égal à "0" pendant une 1^{ère} phase, et qui est égal à "1" pendant une 2^{ème} phase. De la même façon, un "0" logique est codé sous

la forme d'un signal (figure 1, réf. 120a, 120b) qui est égal à "1" pendant une 1^{ère} phase et qui est égal à "0" pendant une 2^{ème} phase. Un bit de début (130a, 130b) est codé sous la forme d'un signal égal à "0" pendant une 1^{ère} phase et égal à "1" pendant une 2^{ème} phase. Enfin, un bit de fin (140a, 140b) est codé sous la forme d'un signal égal à "1" pendant les 2 phases.

Ainsi, tous les bits d'une trame sont codés de la manière suivante : un "1" logique est codé par la paire d'états "01", un "0" logique est codé par la paire "10", un bit de début est codé par la paire "01" et un bit de fin est codé par la paire "11". Une trame de dix-neuf bits (respectivement onze bits) est ainsi codée sous la forme d'un nombre binaire de trente huit états (respectivement vingt-deux états).

Les trames ainsi codées sont transmises à la vitesse de 1200 bits par seconde, soit 2400 états par seconde puisque chaque bit est codé sous la forme de deux états. Le temps d'émission d'un chiffre d'une trame est ainsi égal à $T = 1/2400$ soit $T = 416,37 \mu s$.

Un but de l'invention est de réaliser un circuit de décodage de tels signaux biphasés, apte à recevoir de tels signaux et à en extraire les informations pertinentes.

Un autre but de l'invention est de réaliser un circuit de décodage de tels signaux, apte à vérifier la bonne réception de tels signaux.

Avec ces objectifs en vue, l'invention concerne un circuit de décodage pour décoder un signal biphasé, caractérisé en ce qu'il comprend :

- un registre de précharge, pour précharger une paire d'états du signal biphasé à décoder, un état de la paire d'états étant préchargé à chaque impulsion d'un signal de précharge périodique, et

- un circuit de vérification, pour comparer les

deux états de la paire d'états et fournir un signal d'erreur actif si les deux chiffres sont égaux.

Le circuit de décodage de l'invention permet ainsi de recevoir et de vérifier la réception des paires d'états des signaux biphasés : le circuit de l'invention indique, après la réception de chaque paire d'états, si les états ont été correctement reçus ou pas. Si les deux états d'une même paire sont identiques, cela signifie en effet que l'un au moins des états est erroné : ce constat se déduit simplement de la manière de coder un signal biphasé, comme on l'a vu précédemment. Au fur et à mesure de la réception du signal biphasé, le circuit de vérification va ainsi contrôler, paire par paire, l'ensemble des paires d'états contenues dans la trame d'un signal biphasé.

Selon un mode préféré de réalisation, le circuit de vérification fournit également un signal décodé représentatif d'une paire d'états mémorisée dans le registre de précharge.

Le circuit de vérification fournit ainsi, après vérification, non pas tous les états du signal biphasé, mais uniquement l'information pertinente contenue dans le signal biphasé.

Le circuit de décodage selon l'invention est avantageusement complété par un circuit de mémorisation, pour mémoriser le signal décodé, à chaque impulsion d'un signal de validation de période égale à deux fois la période du signal de précharge. Le circuit de mémorisation peut être par exemple du type registre ou mémoire.

A chaque impulsion du signal de validation, le circuit de mémorisation mémorise ainsi, bit par bit, l'ensemble des bits du mot contenu dans la trame du signal biphasé, comme on le verra mieux par la suite.

On notera que le circuit de décodage selon l'invention permet de limiter la taille du circuit de

mémorisation à la taille du mot contenu dans la trame du signal biphase (par exemple 16 bits ou deux fois 8 bits).

Le circuit de décodage est encore avantageusement complété par un circuit de retard produisant un signal de fin après un temps prédéfini, pour indiquer la fin du signal biphase. Le circuit de retard est initialisé au début du signal biphase, par exemple lors de la réception du bit de début d'une trame.

Le signal de fin sera par exemple pris en compte pour annuler un éventuel signal d'erreur actif lors de la réception d'un bit de fin (codé par une paire d'états identiques "11").

Selon un mode de réalisation, le registre de précharge est un registre à décalage, comprenant une entrée série sur laquelle est appliqué le signal biphase à décoder, et une sortie parallèle connectée à une entrée de données parallèle du circuit de vérification. Le registre de précharge comprend au moins deux bits, nécessaires pour mémoriser au moins une paire d'états qui seront contrôlés par le circuit de vérification. Le registre de précharge peut également comprendre un nombre supérieur de bits, par exemple 4.

Selon un mode de réalisation, le circuit de vérification comprend une première porte comprenant deux entrées connectées à deux lignes successives de la sortie de données parallèle du registre de précharge. La première porte a pour fonction de vérifier si les états d'une paire d'états contenue dans le registre de précharge sont différents (réception correcte) ou identiques (réception mauvaise).

Si le registre de précharge comprend au moins quatre bits, le circuit de vérification est avantageusement complété par :

- une deuxième porte comprenant deux entrées connectées à deux autres lignes successives de la sortie de données parallèle du registre de précharge, et

- une troisième porte comprenant deux entrées connectées respectivement à la sortie de la première porte et à la sortie de la deuxième porte.

Cette variante permet de détecter et mémoriser les deux bits de fin indiquant la fin d'une trame du signal à décoder.

Par ailleurs, si le circuit de décodage comprend un circuit de retard, le circuit de vérification est avantageusement complété par une quatrième porte comprenant une entrée connectée à une sortie de la troisième porte, une entrée sur laquelle est appliqué le signal de fin, et une sortie sur laquelle est produit le signal d'erreur. Ainsi, lorsque le signal de fin est actif, le signal d'erreur est inactif, indiquant ainsi que les deux derniers états reçus l'ont été correctement, quelle que soit la valeur de ces états. Cette variante du circuit de vérification permet ainsi de ne pas signaler une erreur lorsque les bits de fin, codés par deux états identiques et égaux à "1", sont reçus dans le registre de précharge.

Le circuit de décodage est encore amélioré par l'ajout d'un filtre, pour filtrer le signal biphase à décoder, le filtre comprenant une entrée sur laquelle est appliqué le signal biphase à décoder et une sortie connectée à l'entrée série du registre de précharge. Le filtre permet de s'affranchir d'éventuelles perturbations brèves qui pourraient apparaître sur le signal à décoder.

Selon un mode de réalisation, le filtre comprend :

- un registre d'échantillons, pour mémoriser des échantillons d'un chiffre d'une paire de chiffres du signal biphase à décoder,

- un ensemble de portes logiques pour calculer une valeur moyenne des échantillons contenus dans le registre d'échantillons et fournir ladite valeur moyenne au registre de précharge.

L'invention a également pour objet un procédé de décodage d'un signal biphase, qui peut, par exemple mais non uniquement, être mis en œuvre à l'aide d'un circuit de décodage tel que décrit ci-dessus.

5 Le procédé selon l'invention comprend notamment :

- une étape de précharge d'une paire d'états du signal biphase, un état de la paire d'états étant préchargé à chaque impulsion d'un signal de précharge (PREC) périodique,

10 - une étape comparaison des deux états de la paire d'états préchargée, et

- une étape de fourniture d'un signal d'erreur (ER) qui est actif si les deux états sont égaux ou inactif sinon.

15 Le procédé est par exemple complété par une étape de fourniture d'un signal décodé représentatif de la paire d'états préchargée.

Avantageusement, une étape est ajoutée de mémorisation du signal décodé, à chaque impulsion d'un signal de validation périodique, de période égale à deux fois la période du signal de précharge.

20 Une étape de mesure du temps, initialisée au début du signal biphase, peut également être ajoutée, pour produire un signal de fin après un temps prédéfini, indiquant la fin du signal biphase.

25 Le procédé peut enfin comprendre une étape de filtrage du signal biphase, réalisée avant l'étape de précharge.

L'invention a également pour objet un circuit d'émission et de réception de signaux biphasés codés selon un protocole de communication DALI, caractérisé en ce qu'il comprend un circuit de décodage tel que décrit ci-dessus.

30 L'invention a enfin pour objet un circuit de commande d'un ballast électronique recevant des signaux de pilotage sous forme de signaux biphasés codés selon un

protocole de communication DALI, caractérisé en ce qu'il comprend un circuit de décodage tel que décrit ci-dessus.

L'invention et les avantages qui en découlent apparaîtront plus clairement à la lecture de la description qui suit d'exemples de réalisation d'un circuit de décodage de signaux biphasés, selon l'invention. La description est à lire en référence aux dessins annexés dans lesquels :

- 10 - la figure 1, déjà décrite, présente des diagrammes de signaux biphasés,
- la figure 2 est un schéma de principe d'un circuit de décodage selon l'invention, et
- les figures 3 et 4 sont des schémas électroniques d'un mode de réalisation du circuit de la figure 2,
- 15 - les figures 5A à 5E sont des chronogrammes de signaux en différents points du circuit de la figure 2,
- la figure 6 présente une amélioration possible du circuit de la figure 2, et
- 20 - les figures 7A à 7D sont des chronogrammes de signaux en différents points du circuit de la figure 6.

Le circuit 200 de décodage de la figure 2 comprend essentiellement un registre 210 de précharge et un
25 circuit 220 de vérification.

Le registre 210 comprend une entrée E de données série, une entrée CP d'horloge et une sortie S de données parallèle. Un signal DALIIN est appliqué sur l'entrée E du registre 210. Le signal DALIIN est un signal biphasé,
30 contenant des données numériques sous forme de trames de dix-neuf bits codées par des nombres binaires de trente huit états. Un signal PREC de précharge, périodique, est appliqué sur l'entrée CP. Le signal PREC a une période égale à $T = 416.67 \mu s$ seconde, soit la durée d'émission
35 d'un état d'une trame.

Dans l'exemple, le registre 210 est un registre à

décalage de 4 bits tel que représenté sur la figure 3. Le registre 210 comprend ainsi quatre bascules 300 à 303 de type D connectées en série, chacune comprenant une entrée D de données, une entrée CP d'horloge et une sortie Q de données. L'entrée D de la bascule 300 est connectée à l'entrée E du registre 210, les entrées D des bascules 301 à 303 sont connectées respectivement aux sorties Q des bascules 300 à 302. Les entrées CP de toutes les bascules 300 à 303 sont connectées ensemble à l'entrée CP du registre 210 pour recevoir le signal de commande PREC. Enfin, les sorties Q des bascules 300 à 303 sont connectées à des sorties séries S0 à S3 formant la sortie S parallèle du registre 210.

Le fonctionnement du registre 210 est classique : à chaque front actif du signal PREC, un chiffre du signal DALIIN est entré en bit de poids faible dans le registre 210, et les quatre bits contenus dans le registre 210 sont fournis sur sa sortie S.

20 Le circuit 220 de vérification comprend une entrée E de données, parallèle, connectée à la sortie S du registre 210, une sortie OUT de données série et une sortie I d'information.

On rappelle que, selon le protocole DALI, un "1" logique est codé par la paire d'états "01" et qu'un "0" est codé par la paire "10". Les données sont transmises au circuit 200 sous la forme de trames de 19 bits comprenant un bit de début (égal à "1" et codé "01"), un mot de 16 bits, et deux bits de fin. Tous les bits du mot de 16 bits sont codés par la paire "01" ou la paire "10".

Le circuit 220 permet de vérifier si les états (plus précisément les paires d'états) de la trame codée sont correctement reçus ou non. Pour cela, le circuit 220 compare deux états précédemment reçus et mémorisés dans le registre 210. Si les deux états sont différents, alors le circuit 220 fournit un signal ER inactif (dans un

premier état logique, par exemple "1") sur sa sortie I. Au contraire, si les deux états sont identiques, alors le circuit 220 fournit un signal ER actif (dans un deuxième état logique, dans l'exemple "0"). En parallèle, le circuit 220 fournit, sur sa sortie de données OUT, un bit de données représentatif des deux états comparés. Dans l'exemple décrit, le bit de données fourni sur la sortie OUT est le bit mémorisé dans la bascule 302 du registre 210.

Après la réception d'une paire d'états, un signal ER inactif indique que les deux chiffres sont différents et donc que le bit correspondant de la trame a été correctement reçu. Au contraire, un signal ER actif après la réception d'une paire d'états indique que les deux états de la paire d'états reçue sont identiques et donc que le bit correspondant de la trame n'a pas été correctement reçu. Ainsi, la valeur du signal ER est de préférence prise en compte après la réception d'une paire d'états et non pas après la réception du premier état d'une paire d'états.

Le signal ER est exploité par ailleurs : il peut être utilisé par exemple pour stopper le fonctionnement du circuit 200 et/ou le réinitialiser.

Un exemple de réalisation du circuit 220 est détaillé sur la figure 4. Il comprend deux portes logiques de type OU-Exclusif 410, 420 et une porte logique de type ET 430, chaque porte comprenant deux entrées et une sortie de données.

Les deux entrées de la porte 410 sont connectées à des entrées E0, E1 du circuit 220, et les deux entrées de la porte 420 sont connectées à des entrées E2, E3 du circuit 220, les entrées E0 à E3 formant l'entrée parallèle E du circuit 220. Les sorties respectives des portes 410, 420 sont connectées aux entrées de la porte 430. Enfin, l'entrée E2 est connectée à la sortie OUT du circuit 220 et la sortie de la porte 430 est connectée à

la sortie I du circuit 220.

Le fonctionnement global du circuit 200 de décodage selon l'invention va maintenant être détaillé dans le cadre d'un exemple numérique, en relation avec les chronogrammes des figures 5A à 5E.

Dans l'exemple, la trame reçue (figure 5A) comprend un bit de début (codé par la paire "01"), un mot de 16 bits comprenant des "1" logiques (codés "01") en bits de poids les plus forts et des "0" logiques (codés "10") en bits de poids les plus faibles, et deux bits de fin (codés "11"). La figure 5B montre la forme du signal PREC. Enfin, les figures 5C, 5D montrent le contenu du registre 210, et l'évolution du signal OUT en sortie du circuit 220.

On supposera par ailleurs qu'initialement toutes les bascules du circuit 200 sont initialisées à "1".

A l'instant T_0 , le circuit de la figure 2 est activé et la réception du signal DALIIN commence. Entre T_0 et T_0+2T , le bit de début est reçu: le signal DALIIN est égal à "0" pendant le temps T , puis il est égal à "1" entre T_0+T et T_0+2T .

A l'instant Δ_0 , compris entre T_0 et T_0+T , le signal PREC est actif et le signal DALIIN, égal à 0, est mémorisé dans la 1^{ère} bascule 300 du registre 210.

A l'instant $\Delta_1 = \Delta_0 + T$, le signal PREC est à nouveau actif, et le signal DALIIN, égal maintenant à 1, est mémorisé dans la 1^{ère} bascule 300, le "0" précédemment mémorisé étant décalé dans la bascule 301: la première paire d'états est ainsi mémorisée dans le registre 210. Par ailleurs, l'entrée E1 du circuit 220 est à "0" et l'entrée E0 est à "1": le circuit 220 fournit un signal ER inactif sur sa sortie, indiquant une réception correcte de la première paire de chiffres "01", relative au bit de début de trame. Enfin, en parallèle, le circuit 220 produit un "1" logique sur sa sortie OUT.

A l'instant $\Delta 2 = \Delta 0 + 2T$, le signal PREC est à nouveau actif, et le signal DALIIN, égal maintenant à 0, est mémorisé dans la 1^{ère} bascule 300, le contenu précédent de la bascule 300, respectivement de la bascule 301, étant
5 décalé dans la bascule 301, respectivement la bascule 302. Le signal OUT est quant à lui égal à "0".

A l'instant $\Delta 3 = \Delta 0 + 3T$, le signal PREC est à nouveau actif, et le signal DALIIN, égal maintenant à 1, est mémorisé dans la 1^{ère} bascule 300, le "0" précédemment
10 mémorisé étant décalé dans la bascule 301 : la deuxième paire d'états est mémorisée dans le registre 210, qui contient ainsi le nombre "0101" (réf. 510, figure 5C). Par ailleurs, l'entrée E1 du circuit 220 est à "0" et son entrée E0 est à "1": le circuit 220 fournit un signal ER
15 inactif sur sa sortie, indiquant une réception correcte du nombre "01" relatif à un bit égal à "1". En parallèle, le signal OUT passe à "1" (réf. 520, figure 5C).

A l'instant $\Delta 4 = \Delta 0 + 4T$, le signal PREC est à nouveau actif, et le signal DALIIN, égal à nouveau à 0, est
20 mémorisé dans la 1^{ère} bascule 300, le contenu précédent des bascules 300 à 302 étant décalé dans les bascules 301 à 303. Le signal OUT est quant à lui égal à "1".

A l'instant $\Delta 5 = \Delta 0 + 5T$, le signal PREC est à nouveau actif, et le signal DALIIN, égal maintenant à 1, est
25 mémorisé dans la 1^{ère} bascule 300, le "0" précédemment mémorisé étant décalé dans la bascule 301 : la troisième paire d'états est mémorisée et le registre 210 contient ainsi le nombre "0101" (réf. 530, figure 5C). Par ailleurs, les entrées E1, E0 du circuit 220 sont
30 respectivement à 0 et à 1: le circuit 220 fournit un signal ER inactif sur sa sortie, indiquant une réception correcte du nombre "01" relatif à un bit égal à "1". En parallèle, le signal OUT passe à 1 (réf. 540, figure 5C).

A l'instant $\Delta 6$, le signal PREC actif entraîne la
35 précharge d'un nouveau bit dans le registre 210 (dans l'exemple un "0").

A l'instant $\Delta 7$, le signal PREC actif entraîne également la précharge d'un nouveau bit dans le registre 210 (dans l'exemple un "1"). Le circuit 220 fournit un signal ER inactif, indiquant une bonne réception, et le contenu de la bascule 302 (en l'occurrence un "1") est produit sur la sortie OUT : le 2^{ème} bit (un "1") du mot de 16 bits contenu dans la trame reçue est ainsi transmis.

L'ensemble est répété jusqu'à la réception complète de l'ensemble des bits de la trame reçue.

10

Des améliorations peuvent être réalisées aisément sur le circuit 200 de décodage de la figure 2.

Une première amélioration consiste à ajouter un circuit 230 de mémorisation (représenté en pointillé sur la figure 2), pour mémoriser les bits du mot de 16 bits contenu dans les trames reçues, au fur et à mesure que lesdits bits sont fournis par le circuit 220.

Dans un exemple, le circuit de mémorisation 230 (figure 2) comprend une entrée E de données série connectée à la sortie OUT de données du circuit 220 et une entrée CP d'horloge sur laquelle est appliqué un signal VAL de validation.

Le signal VAL est un signal périodique, de période égale à deux fois la période du signal PREC soit ici $2T = 833.33 \mu s$. Un exemple de signal VAL est représenté sur la figure 5E. Dans cet exemple, un front actif du signal VAL est produit à la réception du deuxième état de chaque paire d'états. On rappelle que le deuxième état d'une paire d'états correspond à la valeur du bit codé : par exemple la paire "10", dont le deuxième état est égal à "0", code le bit "0".

Dans l'exemple, le circuit 230 est réalisé par un registre à décalage de 16 bits, cadencé par le signal VAL. Un tel registre est similaire au registre 210. Ainsi, à chaque front actif du signal VAL, le circuit 230 mémorise un bit du mot de 16 bit contenu dans la trame

reçue.

Selon les applications envisagées, le mot de 16 bits mémorisé dans le registre 230 pourra être par la suite mémorisé dans deux registres de 8 bits ou bien dans une mémoire, ou bien pourra être utilisé par tout autre circuit.

Il est à noter que le circuit 230 n'est pas indispensable au fonctionnement du circuit 200, notamment si les mots produits par le circuit 220 sont exploités directement par un autre élément.

En pratique, le circuit 230 pourra être un registre d'entrée d'un élément (circuit de calcul, circuit de commande, etc.) utilisant par ailleurs le mot de 16 bits reçu).

On notera cependant que, si une mémorisation des bits reçus est nécessaire, alors le circuit 200 de décodage selon l'invention permet de limiter la taille du circuit 230 de mémorisation à 16 bits (ou deux fois 8 bits), alors qu'un circuit de réception classique nécessite l'utilisation d'un registre de 32 bits apte à mémoriser tous les états du signal biphase reçu.

Une autre amélioration du circuit de la figure 2 consiste à ajouter un circuit de retard 240 (représenté en pointillés sur la figure 2) comprenant une entrée d'horloge sur laquelle est appliqué le signal VAL, et une sortie connectée à une entrée FIN du circuit 220. Le circuit 240 est activé lorsque le circuit 220 décode le bit de début de trame (Ce qui correspond à la 1^{ère} activation du signal ER). Le circuit 240 produit un signal de fin au bout d'un temps prédéfini, égal à 32T.

Le circuit 240 a ainsi pour fonction de mesurer le temps nécessaire à la réception du mot de 16 bits contenu dans une trame (le mot de 16 bits étant codé par 16 paires d'états, soit une durée de réception de 32T), puis de signaler au circuit 220, par l'intermédiaire du signal FIN (dans l'exemple actif à 1), que tous les bits de la

trame ont été reçus.

Le circuit 240 est réalisé selon des schémas connus. Dans un exemple, le circuit 240 est réalisé sous la forme d'un compteur de quatre bits, qui compte des impulsions du signal VAL, de période $2T$, et qui produit le signal FIN lorsqu'il atteint une valeur prédéfinie. Plus généralement, le circuit 240 peut être réalisé par tout circuit de retard, apte à émettre un signal FIN au bout d'un temps prédéterminé égal à $32T$.

Si un circuit de retard 240 est ajouté, le circuit 220 doit être complété en conséquence pour prendre en compte le signal FIN. Dans l'exemple de la figure 4, le circuit 220 est complété par l'ajout d'une porte OU 440 (représentée en pointillés sur la figure 4), comprenant deux entrées connectées respectivement à l'entrée FIN du circuit 220 et à la sortie de la porte 410, la porte 440 comprenant également une sortie connectée à la sortie I du circuit 220. Ainsi, si le signal FIN est actif, la porte 440 fournit un "1" logique, quelles que soient les valeurs appliquées sur les entrées E0 à E3 du circuit 220.

Le circuit de décodage 200 peut également être amélioré par l'ajout d'un filtre 250 (représenté en pointillés sur la figure 2) comprenant une entrée sur laquelle est appliqué le signal codé DALIIN0, une entrée CP d'horloge sur laquelle est appliqué un signal d'échantillonnage ECH, de période T , et une sortie S de données connectée à l'entrée de données du registre de précharge 210.

Le filtre 250 calcule une valeur moyenne du signal DALIIN0 au cours d'une période T (entre $\Delta 0 + n \cdot T$ et $\Delta 0 + (n+1) \cdot T$ par exemple, n étant un nombre entier), et fournit cette valeur moyenne au registre 210. Un tel filtre permet ainsi de s'affranchir des perturbations parasites éventuellement présentes sur le signal DALIIN0.

Un exemple de filtre pouvant être utilisé dans l'invention est représenté sur la figure 6. Il comprend trois bascules D 610, 620, 630, trois portes ET 640, 650, 660 à deux entrées et une sortie, et une porte OU à trois entrées et une sortie.

Les bascules 610, 620, 630 sont connectées en série : l'entrée D de la bascule 610 est connectée à l'entrée E du filtre 250 pour recevoir le signal DALIINO, les entrées D des bascules 620, 630 sont connectées aux sorties Q des bascules 610, 620. Les entrées d'horloge CP de toutes les bascules 610, 620, 630 sont connectées ensemble à l'entrée CP du filtre 250 pour recevoir le signal ECH.

Une entrée de la porte 640 est connectée à la sortie Q de la bascule 610 et l'autre entrée de la porte 640 est connectée à la sortie Q de la bascule 620. Une entrée de la porte 650 est connectée à la sortie Q de la bascule 610 et l'autre entrée de la porte 650 est connectée à la sortie Q de la bascule 630. Une entrée de la porte 660 est connectée à la sortie Q de la bascule 620 et l'autre entrée de la porte 660 est connectée à la sortie Q de la bascule 630. Enfin, les entrées de la porte 670 sont connectées respectivement à la sortie de la porte 640, à la sortie de la porte 650 et à la sortie de la porte 660, la sortie de la porte 670 étant connectée à la sortie S du filtre 250.

Le fonctionnement du filtre 250 est expliqué ci-dessous dans un exemple. La figure 7A présente le signal DALIINO entre T_0+n*T et $T_0+(n+2)*T$, n étant un nombre entier. Dans l'exemple, le signal DALIINO est égal à "0" entre T_0+n*T et $T_0+(n+1)*T$, puis il est égal à "1" entre $T_0+(n+1)*T$ et $T_0+(n+2)*T$. De petites perturbations 711, 712, 713 viennent modifier ponctuellement la valeur de DALIINO.

Le signal ECH (figure 7B) est périodique, de période T. Dans l'exemple, il comprend trois impulsions

721, 722, 723 par période. Le signal PREC (figure 7C), utilisé par le registre 210, est également de période T, il comprend une seule impulsion 725 par période, qui apparaît après l'impulsion 723. Les signaux ECH, PREC, ainsi que le signal VAL, sont par exemple fournis par un circuit de commande, non décrit ici. Ces signaux sont par exemple produits à partir d'un signal d'horloge globale d'un composant utilisant le circuit de l'invention, et qui a une fréquence multiple de la fréquence des signaux ECH, PREC, VAL, par exemple une fréquence égale à $16/T$.

Lors des trois impulsions 721, 722, 723 sur le signal ECH, trois valeurs du signal DALIINO sont mémorisées dans les bascules 610, 620, 630. Les portes 640, 650, 660, 670 calculent à tout instant une valeur moyenne des valeurs contenues dans les bascules 610, 620, 630 et ladite valeur moyenne est fournie sur la sortie S du filtre 250. Lors de l'impulsion PREC 725 suivante, la valeur moyenne fournie par le filtre 250 est mémorisée dans le registre 210.

Dans l'exemple, lors des impulsions 721, 722 sur le signal ECH, le signal DALIINO est égal à "0" et deux "0" sont mémorisés dans les bascules du filtre 250, puis lors de l'impulsion 723, un "1" est mémorisé dans lesdites bascules, du fait de la présence de la perturbation 712. Les portes 640, 650, 660, 670 calculent une valeur moyenne à partir du contenu des bascules 610, 620, 630, un "0" logique est ainsi fourni sur la sortie du filtre 250, et il est mémorisé dans le registre 210 lors de l'impulsion 725 sur le signal PREC. Les effets de la perturbation 712 ont ainsi été effacés.

Des modifications peuvent également être réalisées sur le circuit 200 de décodage de la figure 2.

La sortie du registre 210 peut être modifiée. En effet, dans l'exemple ci-dessus, la sortie S2 du registre 210 est connectée à l'entrée du registre 230, pour

mémoriser un bit du signal DALIIN dans le registre 230 à chaque impulsion VAL. Il serait également possible de connecter l'une des autres sorties (S0, S1 ou S3) du registre 210 à l'entrée du registre 230. Le cas échéant, on veillera simplement à modifier en conséquence le signal VAL, de sorte que les états pertinents dans le signal DALIIN et correspondant aux bits du mot de 16 bits codé dans le signal DALIIN soient fournis par le circuit 220 au moment opportun.

La taille du registre 210 peut également être modifiée. En effet, le registre 210 utilisé dans les exemples décrits ci-dessus est un registre de quatre bits. Il a pour rôle essentiel de mémoriser deux à deux les états du signal DALIIN reçu, afin que ces paires d'états soient testées par le circuit 220. L'avantage d'utiliser un registre 210 de quatre bits et de pouvoir mémoriser complètement les quatre états codant les bits de fin. Il serait cependant possible de choisir un registre 210 comprenant seulement 2 bits, ou au contraire un registre de taille supérieure à quatre. Le cas échéant, le circuit 220 devra être modifié en conséquence. Par exemple, si un registre 210 de deux bits est choisi, les portes 420, 430 du circuit 220 deviennent inutiles et peuvent être supprimées. Dans ce cas, la sortie de la porte 410 est reliée directement à la sortie I du circuit 220.

Les signaux de commande PREC, VAL, ECH (fournis par un circuit de commande non représenté) peuvent également être modifiés, ils doivent cependant être tous trois périodiques, les signaux PREC, ECH de période T et le signal VAL de période 2T. Ces signaux peuvent être obtenus à partir d'un signal d'horloge extérieur au circuit et d'un ensemble de portes logiques et/ou de circuits de retard. Dans les exemples ci-dessus, ces signaux sont tous des signaux impulsionsnels. Il est toutefois possible de remplacer tout ou partie de ces

signaux par des signaux carrés par exemple, les fronts montants (ou bien descendants) de tels signaux étant dans ce cas pris en compte pour la commande des circuits.

REVENDICATIONS

1. Circuit (200) de décodage pour décoder un signal biphase (DALIIN0), caractérisé en ce qu'il comprend :

- un registre de précharge (210), pour précharger une paire d'états du signal biphase, un état de la paire d'états étant préchargé à chaque impulsion d'un signal de précharge (PREC) périodique, et

- un circuit de vérification (220), pour comparer, les deux états de la paire d'états et fournir un signal d'erreur (ER) actif si les deux états sont égaux.

10

2. Circuit selon la revendication 1, caractérisé en ce que le circuit de vérification (220) fournit également un signal décodé (OUT) représentatif de la paire d'états mémorisée dans le registre de précharge (210).

15

3. Circuit selon la revendication 2, caractérisé en ce qu'il comprend également un circuit de mémorisation (230), pour mémoriser le signal décodé (OUT), à chaque impulsion d'un signal de validation (VAL) périodique, de période égale à deux fois la période du signal de précharge (PREC).

20

4. Circuit selon l'une des revendications 1 à 3, caractérisé en ce qu'il comprend également un circuit de retard (240) produisant un signal de fin (FIN) après un temps prédéfini, pour indiquer la fin du signal biphase (DALIIN0), le circuit de retard (240) étant initialisé au début du signal biphase (DALIIN0).

25

5. Circuit selon l'une des revendications précédentes, caractérisé en ce qu'il comprend également un filtre (250), pour filtrer le signal biphase (DALIIN0), le filtre (250) comprenant une entrée sur

30

laquelle est appliqué le signal biphase (DALIIN0) et une sortie connectée à l'entrée série du registre de précharge (210).

5 6. Procédé de décodage d'un signal biphase (DALIIN0), caractérisé en ce qu'il comprend :

- une étape de précharge d'une paire d'états du signal biphase, un état de la paire d'états étant préchargé à chaque impulsion d'un signal de précharge
10 (PREC) périodique,

- une étape comparaison des deux états de la paire d'états préchargée, et

- une étape de fourniture d'un signal d'erreur (ER) qui est actif si les deux états sont égaux ou inactif
15 sinon.

7. Procédé selon la revendication 6, caractérisé en ce qu'il comprend également une étape de fourniture d'un signal décodé (OUT) représentatif de la paire d'états
20 préchargée.

8. Procédé selon la revendication 7, caractérisé en ce qu'il comprend également une étape de mémorisation du signal décodé (OUT), à chaque impulsion d'un signal de validation (VAL) périodique, de période égale à deux fois
25 la période du signal de précharge (PREC).

9. Procédé selon l'une des revendications 6 à 8, caractérisé en ce qu'il comprend également une étape de
30 mesure du temps, initialisée au début du signal biphase (DALIIN0), pour produire un signal de fin (FIN) après un temps prédéfini, indiquant la fin du signal biphase (DALIIN0).

35 10. Procédé selon l'une des revendications 6 à 9, caractérisé en ce qu'il comprend également une étape de

filtrage du signal biphasé (DALIIN0), réalisée avant l'étape de précharge.

11. Circuit d'émission et de réception de signaux biphasés codés selon un protocole de communication DALI, caractérisé en ce qu'il comprend un circuit de décodage selon l'une des revendications 1 à 5.

12. Circuit de commande d'un ballast électronique recevant des signaux de pilotage sous forme de signaux biphasés codés selon un protocole de communication DALI, caractérisé en ce qu'il comprend un circuit de décodage (200) selon l'une des revendications 1 à 5.

1/3

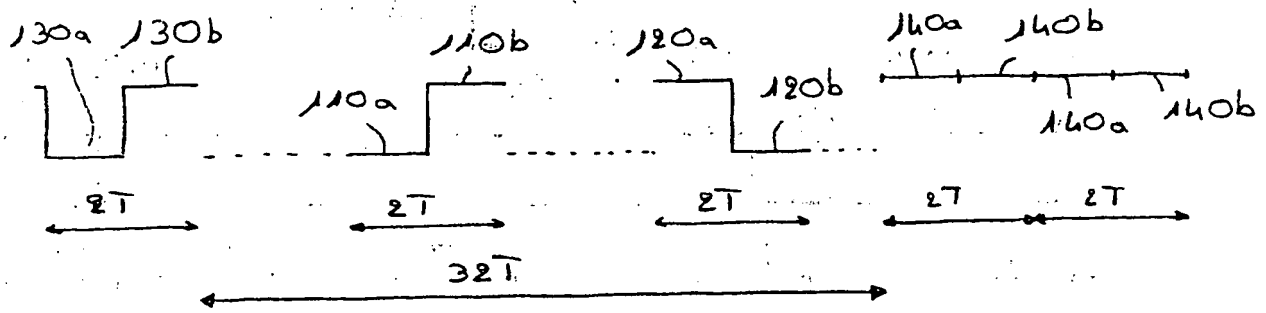


Fig. 1 (Art Antérieur)

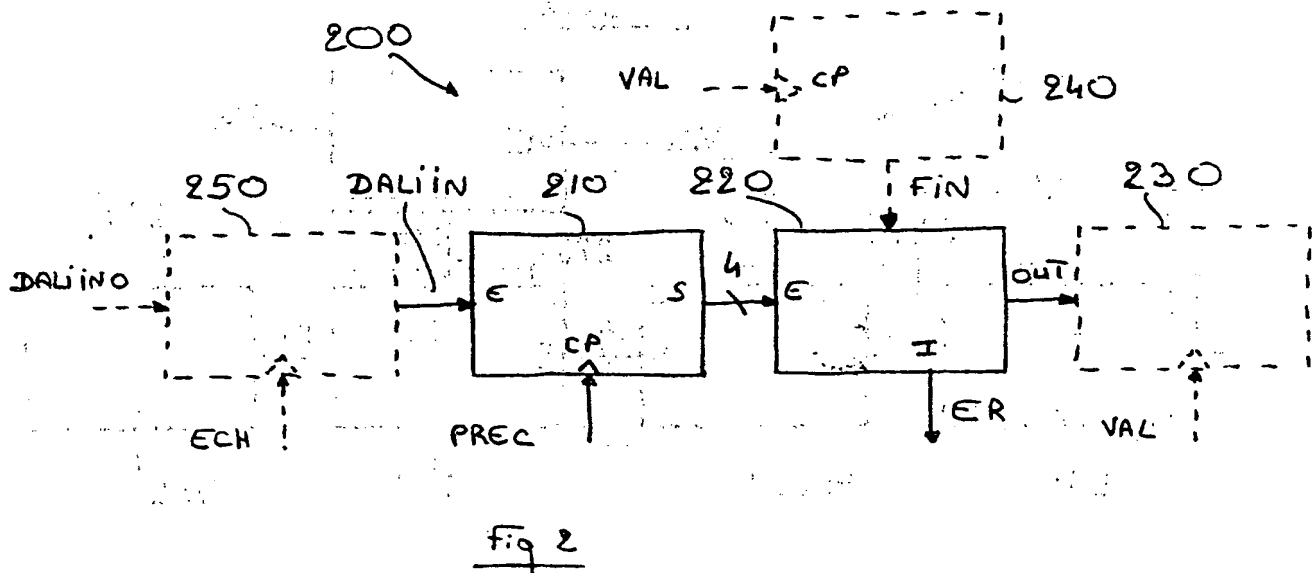


Fig 2

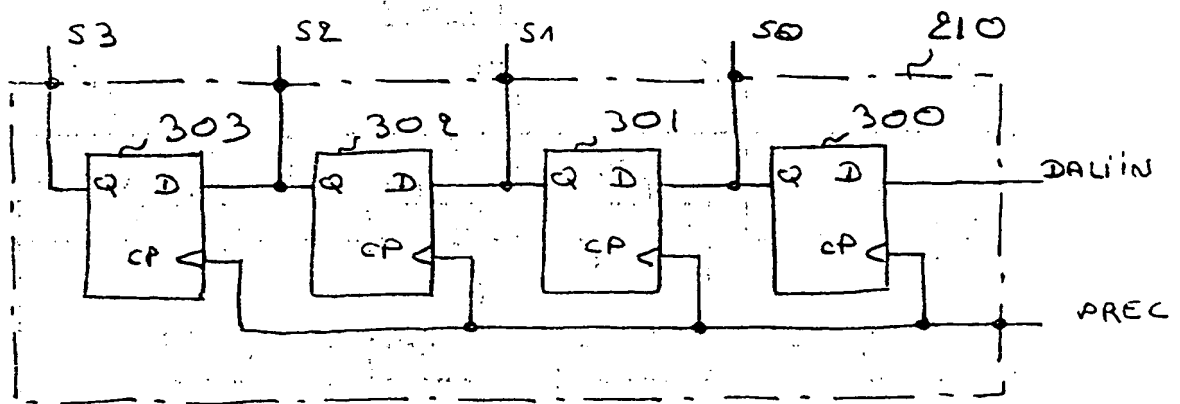
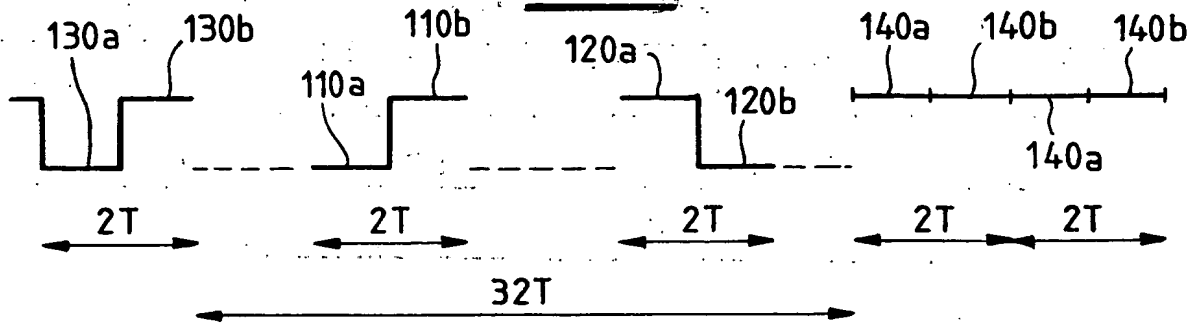


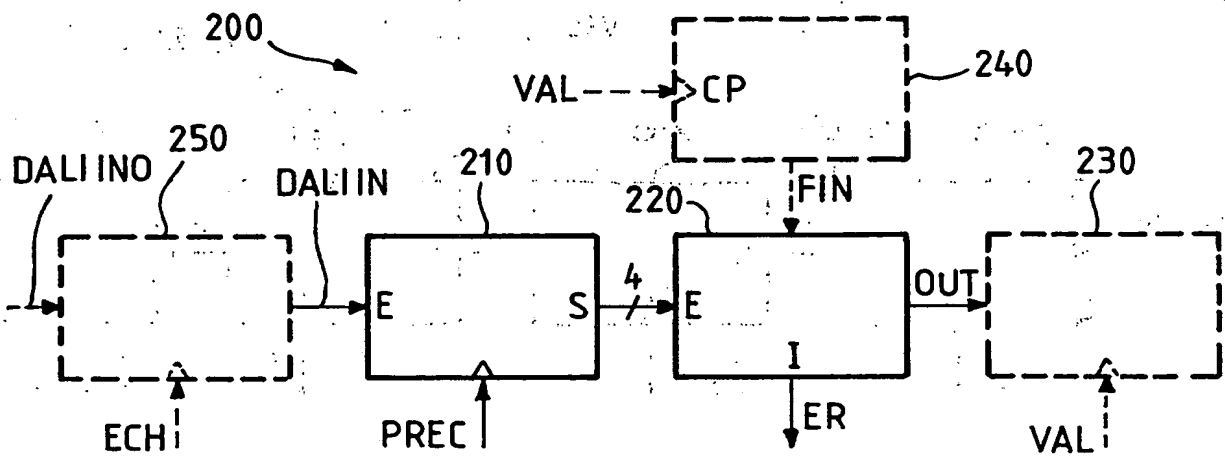
Fig. 3

1/3

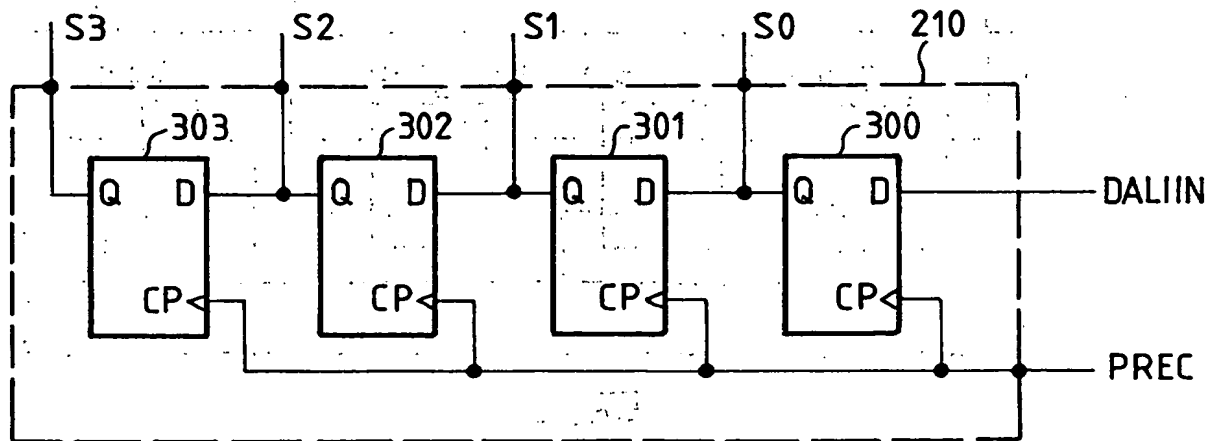
FIG_1 (Art antérieur)



FIG_2



FIG_3



2/3

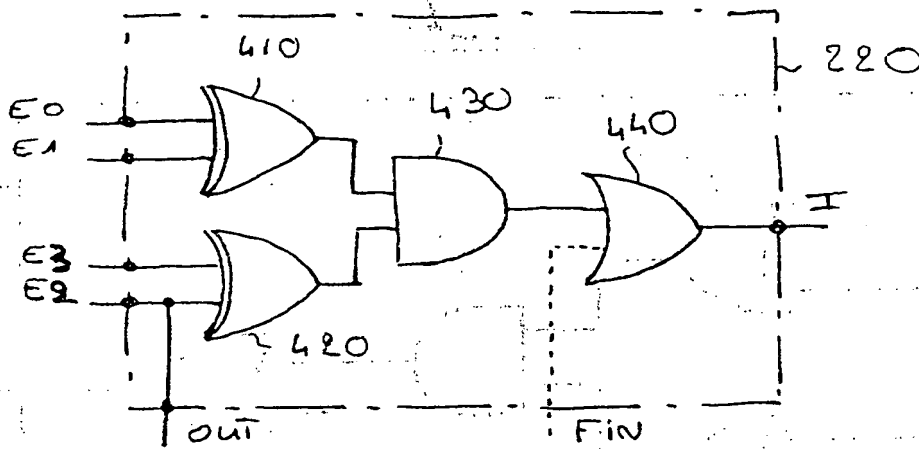


Fig 4

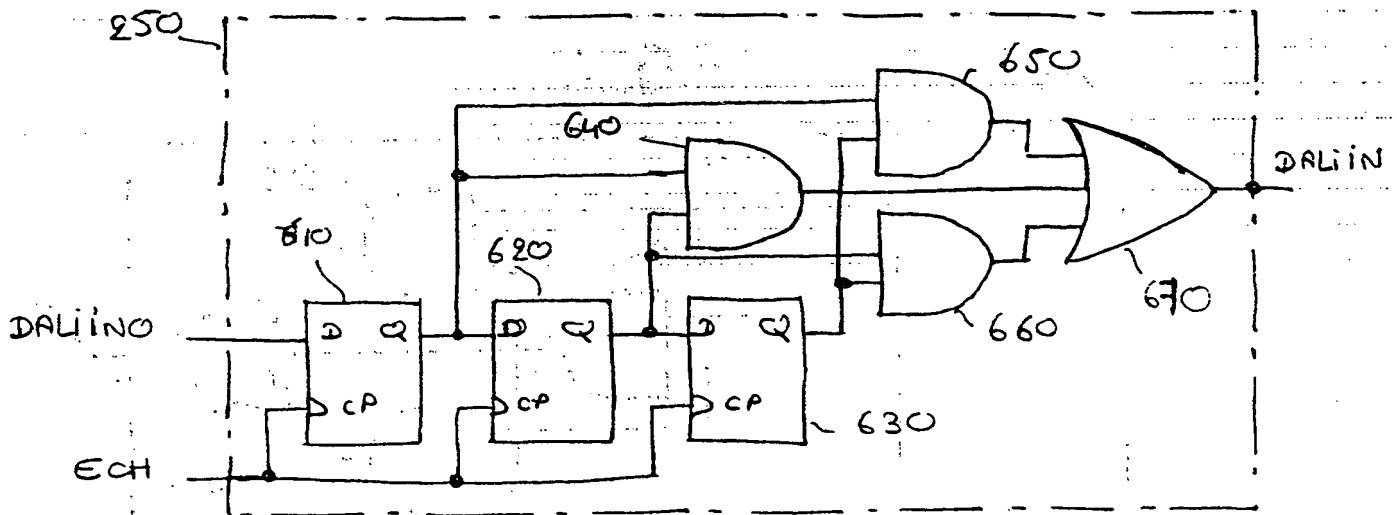
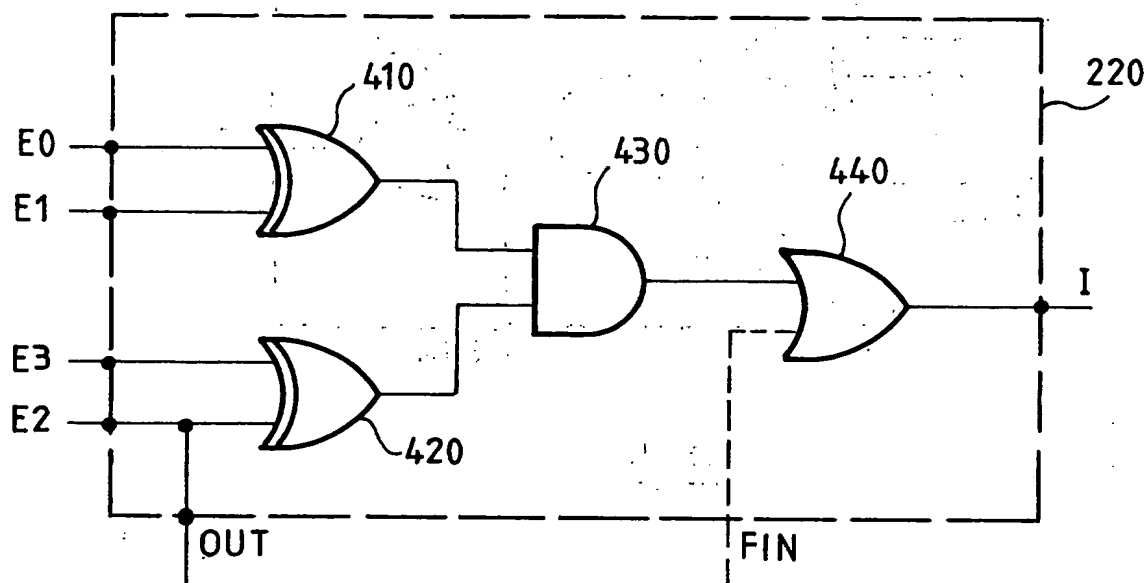


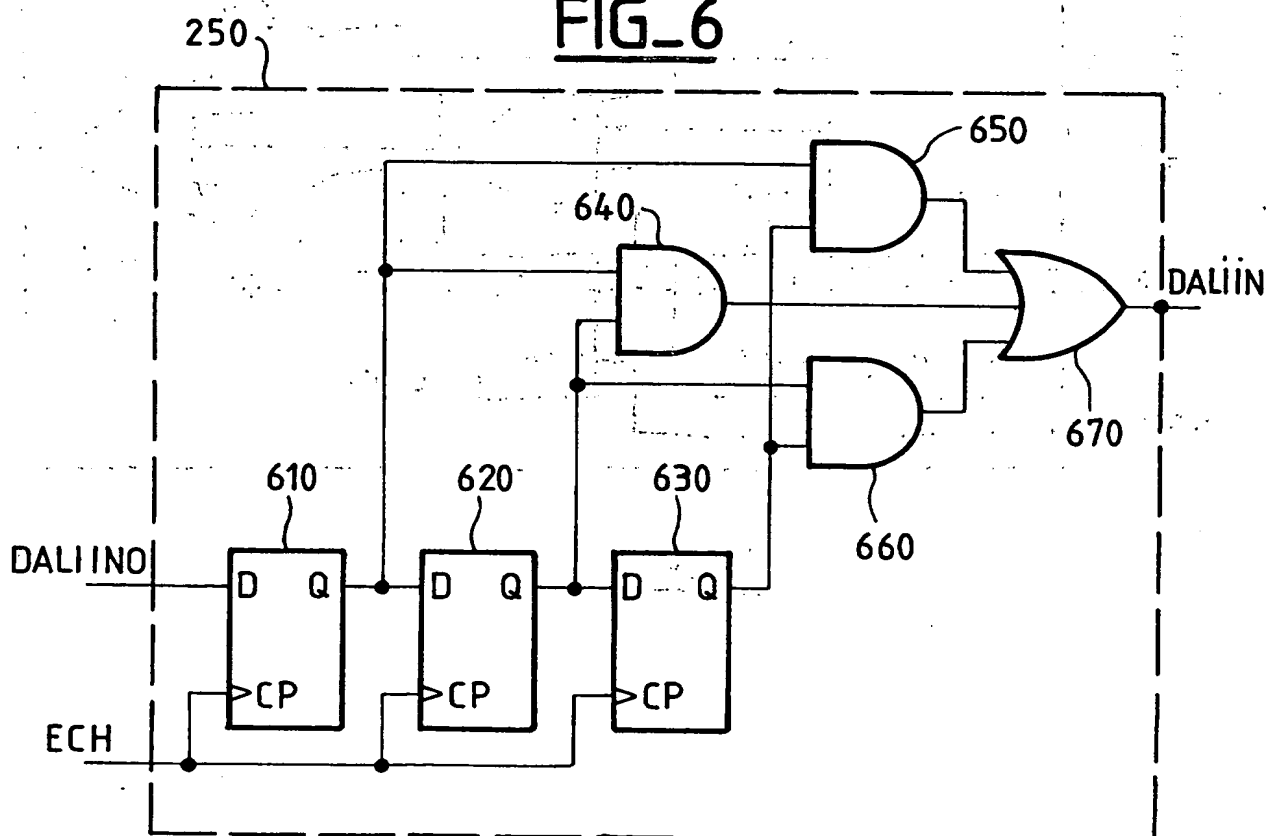
Fig 6

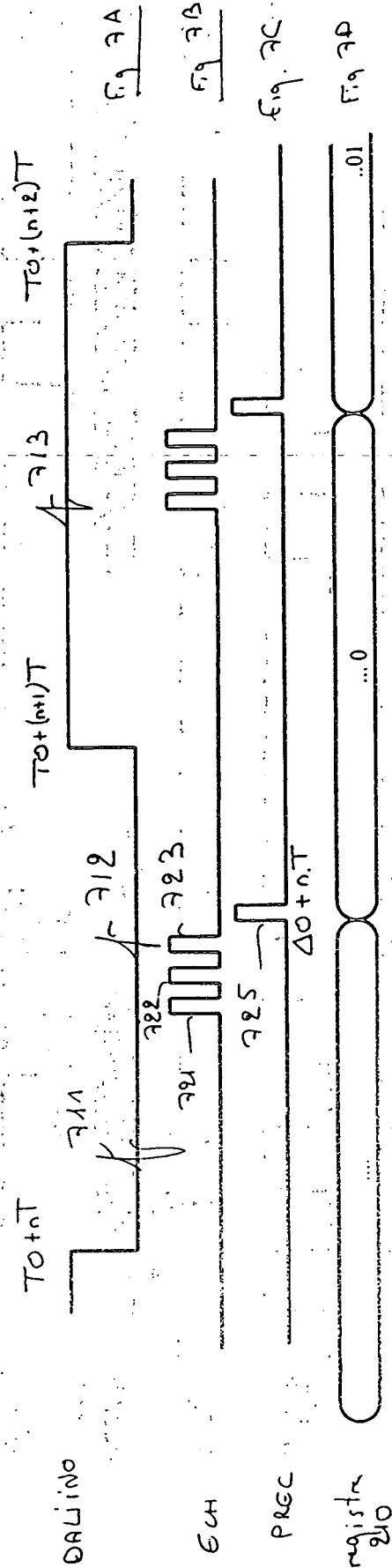
2/3

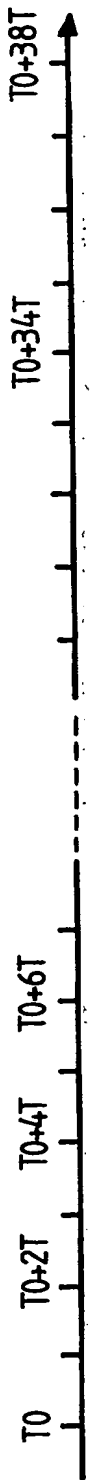
FIG_4



FIG_6







Fig_5A

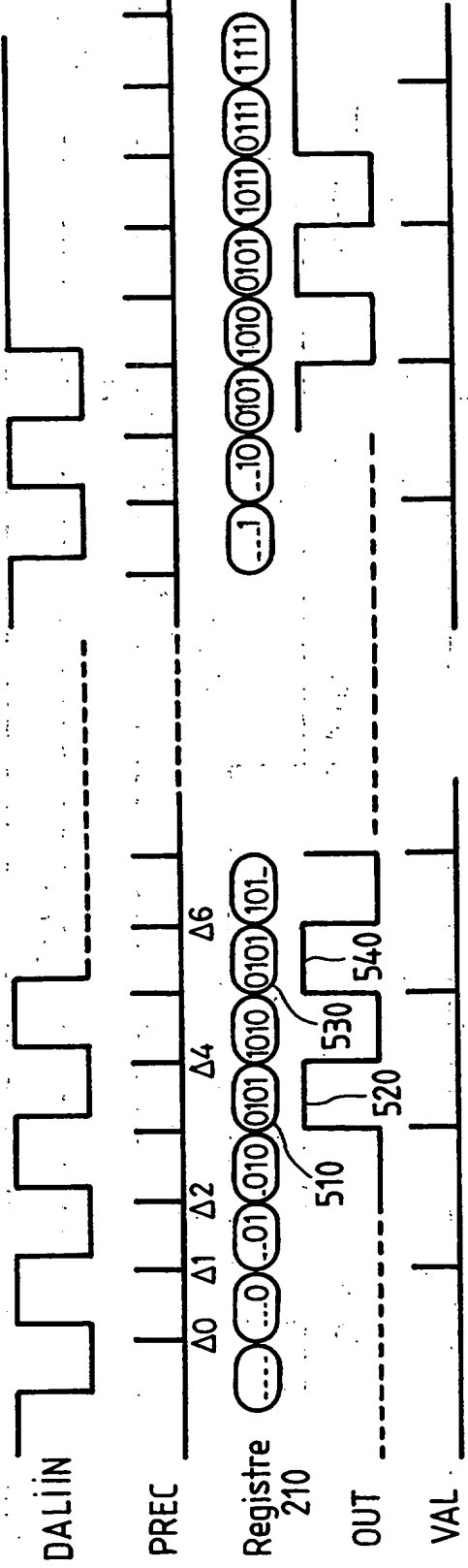
Fig_5B

Fig_5C

Fig_5D

Fig_5E

3/3

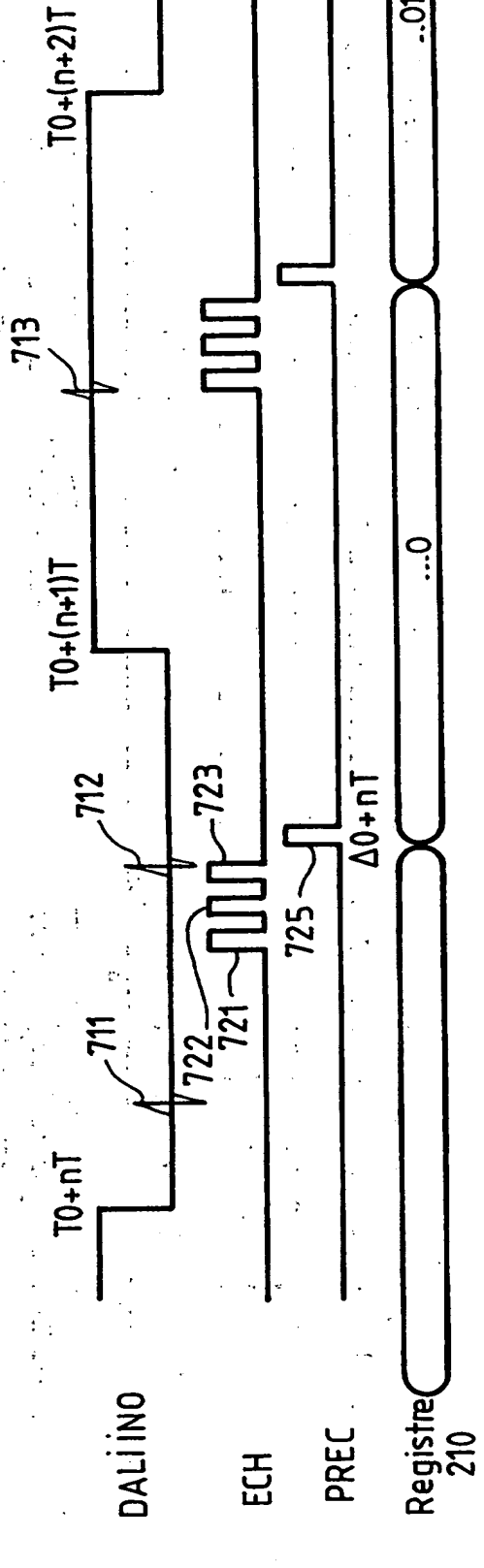


Fig_7A

Fig_7B

Fig_7C

Fig_7D



THIS PAGE BLANK (USPTO)

DÉPARTEMENT DES BREVETS

26 bis, rue de Saint Pétersbourg
75800 Paris Cedex 08

Téléphone : 01 53 04 53 04 Télécopie : 01 42 93 59 30

DÉSIGNATION D'INVENTEUR(S) Page N° 1. / 1.

(Si le demandeur n'est pas l'inventeur ou l'unique inventeur)

Cet imprimé est à remplir lisiblement à l'encre noire

DB 113 W / 260899

Vos références pour ce dossier (facultatif)		016275	
N° D'ENREGISTREMENT NATIONAL		0111074	
TITRE DE L'INVENTION (200 caractères ou espaces maximum)			
Circuit de décodage de signaux biphases.			
LE(S) DEMANDEUR(S) :			
STMICROELECTRONICS S.A. 29 Boulevard Romain Rolland 92120 MONTROUGE FRANCE			
DESIGNE(NT) EN TANT QU'INVENTEUR(S) : (Indiquez en haut à droite «Page N° 1/1» S'il y a plus de trois inventeurs, utilisez un formulaire identique et numérotez chaque page en indiquant le nombre total de pages).			
Nom		CASSAGNES	
Prénoms		Hervé	
Adresse	Rue	CABINET BALLOT 9, rue Claude Chappe - Technopôle Metz 2000	
	Code postal et ville	57070	METZ
Société d'appartenance (facultatif)			
Nom			
Prénoms			
Adresse	Rue		
	Code postal et ville		
Société d'appartenance (facultatif)			
Nom			
Prénoms			
Adresse	Rue		
	Code postal et ville		
Société d'appartenance (facultatif)			
DATE ET SIGNATURE(S) DU (DES) DEMANDEUR(S) OU DU MANDATAIRE (Nom et qualité du signataire) LECLAIRE Jean-Louis 93.4009		CABINET BALLOT CONSEILS EN PROPRIÉTÉ INDUSTRIELLE 9, rue Claude Chappe Technopôle Metz 2000 57070 METZ	

THIS PAGE BLANK (USPTO)